

**BEST AVAILABLE COPY**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-055096

(43)Date of publication of application : 26.02.1999

(51)Int.Cl.

H03K 17/08  
G11C 7/00  
H01L 27/04  
H01L 21/822  
H01L 21/8238  
H01L 27/092  
H03K 17/687

(21)Application number : 09-207484

(71)Applicant : FUJITSU LTD

(22)Date of filing : 01.08.1997

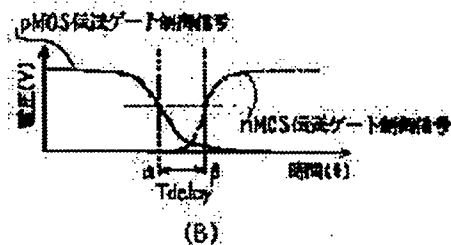
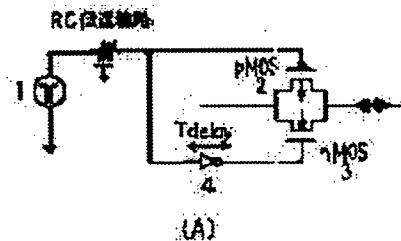
(72)Inventor : ANDOU NARIYOSHI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT AND METHOD FOR SUPPRESSING HOT CARRIER DETERIORATION OF TRANSMISSION GATE

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To suppress the deterioration of a device characteristic due to a hot carrier effect by connecting a signal source to the gate of a 1st transistor of an inverter that consists of 1st and 2nd n type MOS transistors and to the gate of a complementary p type MOS transistor respectively.

**SOLUTION:** A voltage signal of a negative logic from a signal source 1 is given to a p type MOSFET2 and an n type MOSFET3 through an RC transmission line, it reaches the MOSFET2 faster than the MOSFET3 because of the delay of an inverter 4 and the MOSFET2 first becomes conductive. As a result, the quantity of drain current that flows into the MOSFET3 is suppressed, and the deterioration of a device characteristic due to a hot carrier effect can be suppressed. Also, the dullness of voltage signal which is inputted to a gate of the MOSFET3 is eliminated and the voltage signal can be steep by the inverter 4 that is arranged before an input to the gate of the MOSFET3.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**[Date of final disposal for application]**

[Patent number]

[Date of registration]

**BEST AVAILABLE COPY**

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-55096

(43) 公開日 平成11年(1999) 2月26日

| (51) Int.Cl. <sup>6</sup>            | 識別記号  | F I            |         |
|--------------------------------------|-------|----------------|---------|
| H 0 3 K 17/08                        |       | H 0 3 K 17/08  | C       |
| G 1 1 C 7/00                         | 3 1 1 | G 1 1 C 7/00   | 3 1 1 G |
| H 0 1 L 27/04                        |       | H 0 1 L 27/04  | H       |
| 21/822                               |       | 27/08          | 3 2 1 L |
| 21/8238                              |       | H 0 3 K 17/687 | G       |
| 審査請求 未請求 請求項の数 7 O L (全 11 頁) 最終頁に続く |       |                |         |

(21) 出願番号 特願平9-207484

(22) 出願日 平成9年(1997) 8月1日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 安藤 也義

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

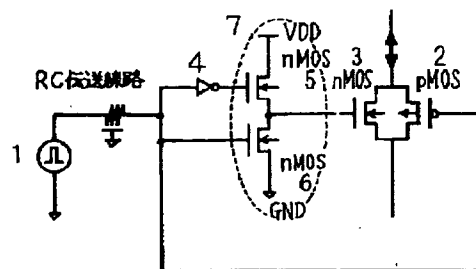
(54) 【発明の名称】 半導体集積回路と伝送ゲートのホットキャリア劣化抑止方法

(57) 【要約】

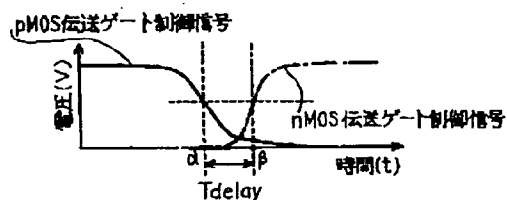
【課題】 電流の双方向性を有する相補型MOSトランジスタの伝送ゲートにおけるホットキャリア効果に起因するデバイス特性の劣化を抑止することとする。

【解決手段】 相補型MOSトランジスタよりなる伝送ゲートを有する半導体集積回路において、相補型MOSトランジスタのn型トランジスタのゲートとそのゲートへ制御電圧信号を発生させる信号源との間に2つのn型MOSトランジスタで構成されるMOSインバータを介することによって、ホットキャリアによるデバイス特性の劣化を抑止することを特徴とする半導体集積回路装置。

本発明の第4の実施例



(A)



(B)

## 【特許請求の範囲】

【請求項1】 相補型MOSトランジスタよりなる伝送ゲートを有する半導体集積回路において、

前記相補型MOSトランジスタのp型MOSトランジスタ及びn型MOSトランジスタの各ゲートへの電圧信号を発生させる信号源が、伝送線路を介して、第1のn型MOSトランジスタと第2のn型MOSトランジスタとから構成されるインバータの該第1のn型MOSトランジスタのゲートと、該相補型MOSトランジスタのp型MOSトランジスタのゲートとのそれぞれに接続されると共に、インバータが該伝送線路と該第1のn型MOSトランジスタとの間に配置され、

前記第1のn型MOSトランジスタのドレインと前記第2のn型MOSトランジスタのドレインとが接続されると共に、該接続点と前記相補型MOSトランジスタのn型トランジスタのゲートとが接続されることを特徴とする半導体集積回路。

【請求項2】 相補型MOSトランジスタよりなる伝送ゲートのホットキャリア効果によるデバイス特性の劣化を抑止するホットキャリア劣化抑止方法において、前記相補型MOSトランジスタのn型MOSトランジスタ又はp型MOSトランジスタのゲートへの電圧信号の入力遷移時間を短くすることにより、ホットキャリアによるデバイス特性の劣化を抑止することを特徴とするホットキャリア劣化抑止方法。

【請求項3】 相補型MOSトランジスタよりなる伝送ゲートのホットキャリア効果によるデバイス特性の劣化を抑止するホットキャリア劣化抑止方法において、前記相補型MOSトランジスタのp型MOSトランジスタのゲートに該相補型MOSトランジスタのn型MOSトランジスタのゲートよりも先に電圧信号を与えることにより、ホットキャリアによるデバイス特性の劣化を抑止することを特徴とするホットキャリア劣化抑止方法。

【請求項4】 相補型MOSトランジスタよりなる伝送ゲートのホットキャリア効果によるデバイス特性の劣化を抑止するホットキャリア劣化抑止方法において、前記相補型MOSトランジスタのp型MOSトランジスタに該相補型MOSトランジスタのn型MOSトランジスタよりも多く電流を流すことにより、ホットキャリアによるデバイス特性の劣化を抑止することを特徴とするホットキャリア劣化抑止方法。

【請求項5】 相補型MOSトランジスタよりなる伝送ゲートのホットキャリア効果によるデバイス特性の劣化を抑止するホットキャリア劣化抑止方法において、前記相補型MOSトランジスタのp型MOSトランジスタのゲート長を、前記相補型MOSトランジスタのn型MOSトランジスタのゲート長よりも短くすることにより、又は前記p型MOSトランジスタのゲート幅を、前記相補型MOSトランジスタのn型MOSトランジスタのゲート幅よりも長くすることによりホットキャリアに

よるデバイス特性の劣化を抑止することを特徴とするホットキャリア劣化抑止方法。

【請求項6】 前記相補型MOSトランジスタのp型MOSトランジスタ及びn型MOSトランジスタの各々のゲートへの制御電圧信号を発生させる信号源が同じである場合において、

前記信号源の電圧信号を負論理とし、該信号源から前記n型MOSトランジスタのゲートへの伝送線路上にインバータを配置することによってホットキャリアによるデバイス特性の劣化を抑止することを特徴とする請求項2、請求項3、請求項4又は請求項5に記載のホットキャリア劣化抑止方法。

【請求項7】 前記相補型MOSトランジスタのp型MOSトランジスタ及びn型MOSトランジスタの各々のゲートへの電圧信号を発生させる信号源が異なる場合において、

前記信号源の電圧信号を正論理とし、該信号源から前記n型MOSトランジスタのゲートへの伝送線路上に遅延素子又は遅延回路を配置することによってホットキャリアによるデバイス特性の劣化を抑止することを特徴とする請求項2、請求項3、請求項4又は請求項5に記載のホットキャリア劣化抑止方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の設計に関するものであり、CMOS技術の中でも特に双方向性に電流を流すことが可能な伝送ゲートを有する半導体集積回路の設計に関するものである。

## 【0002】

【従来の技術】CMOS技術は目覚ましい発展を遂げ、今やULSIからシステムインロジックの時代に入っている。この著しい発展は、高度なリソグラフィ及び微細加工技術の進展によるところ以外にも、計算機CADシステムの急成長によるところも大きい。そのため、微細なパターンや複雑なシステムを数mmから数十mm角のチップに集積することが可能となった。このようなデバイスの形状は、今後ともスケールリング則に従って縮小されていくと考えられる。

【0003】しかしながら、このデバイス寸法の縮小により、デバイスの信頼性の問題が顕著となってきた。これは、外部システムとの互換性を保つために電源電圧を素子寸法の縮小に比例して低下させられないことによって、デバイス内部が高電界になることに起因するものである。このデバイス内部の高電界は、種々のデバイス特性の劣化現象を引き起こす。この種々のデバイス特性劣化現象のうち、高エネルギーを持ったホットキャリア（電子と正孔）がゲート酸化膜（SiO<sub>2</sub>など）に注入及び捕獲されて、デバイス特性の劣化を引き起こすホットキャリア効果がある。

【0004】このホットキャリア効果は、種々の説があ

るが、主にチャネルに流れるドレイン電流によって発生すると考えられている。ソースから流れ出した電子がドレイン近傍の高電界（ドレイン電界）によって加速され、この加速された電子の内、その運動方向が基板と酸化膜との界面に垂直な方向に変化して、かつエネルギーを失うような衝突を経験しない即ち基板と酸化膜との間の電位障壁を乗り越えるのに十分なエネルギーを確保できていたラッキーな電子がゲート酸化膜に注入されるためである。なお、キャリアには電子と正孔とがあるが、正孔に対する酸化膜の電位障壁の高さは電子に対する電位障壁の高さよりも高いため、正孔が酸化膜に注入される確率は電子に比べて非常に低く、正孔によるデバイス特性の劣化は電子によるデバイス特性の劣化よりも小さいと考えられている。従って、本論においては電子によるホットキャリア効果についてのみ述べる。この注入された電子の一部は、酸化膜内においてトラップサイトと呼ばれる領域に捕獲され、このトラップサイトはチャージアップ領域を形成する。ドレイン電流の担い手である電子がトラップサイトに注入されたために、ドレイン電極近傍のチャネルの表面電子濃度が薄くなり、結果として電子濃度の薄くない即ち電流の流れ易い領域はシリコン内部に押し込まれたことになる。このため、チャネルの形状は図8に示すように電子密度の低い即ち電流の流れ難い領域を大きく迂回する形をとる。これは、電氣的にドレイン電極近傍の抵抗が増大したことと同じであって、ドレイン電流を減少することになる。

【0005】電流の双方向性を備えた相補型MOSトランジスタの伝送ゲートを有する回路を除くほとんどの回路においては、ドレイン電流の流れの方向は一定であるため、上記したようにホットキャリア効果はドレイン電界が集中するドレイン電極側において発生する。しかしながら、電流の双方向性を有する相補型MOSトランジスタの伝送ゲートにおいては、ドレイン電流の流れの方向が入れ替わるため、ソース電極側及びドレイン電極側の双方にホットキャリア効果が現れる。ここで、それぞれの電極の名称であるドレイン及びソースは、電流の流れの方向によって変わるが、混乱を避けるために、最初にドレインであった電極がドレインであり、最初にソースであった電極がソースであるとしてその呼び名を統一する。従って、トラップサイトは、ドレイン電極側及びソース電極側の双方に形成されることになる。このトラップサイトは、チャネル形成の源であるソース電極側に存在する方が、余計にドレイン電流を減少させる。何故ならば、チャネル電子の供給源であるソース近傍の電子は速度が遅いために、クーロン散乱などによる移動度の低下など、トラップサイトに捕獲されている電子の影響を大きく受けるからである。このため、電流の双方向性を有する相補型MOSトランジスタの伝送ゲートを有する回路においては、ドレイン電流の伝達方向によってドレイン電流の減少量が異なることになり、安定した回路

動作が保証できなくなるという弊害があった。

【0006】

【発明が解決しようとする課題】このような電流の双方向性を有する相補型MOSトランジスタの伝送ゲートを有する回路においてのホットキャリア効果に起因する双方向それぞれのドレイン電流の減少量が異なる現象は、その発生のメカニズムが複雑であったため、従来その解決方法を見いだすことはできなかった。そのため、このような伝送ゲートの回路中での使用に制約を加えたり、またその使用を控えたりすることが多く、回路設計の自由度が抑えられていた。

【0007】しかしながらホットキャリア効果を調べる解析ツール（回路シミュレーション結果によりホットキャリア効果を評価するツールなど）により、電流の双方向性を有する相補型MOSトランジスタの伝送ゲートを使用しての回路設計を可能ならしめる方法を解明するに至った。即ち、以下に述べる2つの条件を満たすことにより、ホットキャリア効果によるデバイス特性の劣化を抑止することができる。

【0008】第1の条件は、電流の双方向性を有する相補型MOSトランジスタの伝送ゲートへの電圧信号の入力遷移時間を長くしてはならないことである。第2の条件は、p型MOSトランジスタのゲートに、n型MOSトランジスタのゲートよりも先に電圧信号を与えることである。本発明は、上記2つの条件の双方又は何れか一方を満たすことにより、ホットキャリア効果によるデバイス特性の劣化を抑止しようとするものである。

【0009】

【課題を解決するための手段及びその作用効果】

【請求項1】請求項1においては、相補型MOSトランジスタよりなる伝送ゲートを有する半導体集積回路において、前記相補型MOSトランジスタのp型MOSトランジスタ及びn型MOSトランジスタの各ゲートへの電圧信号を発生させる信号源が、伝送線路を介して、第1のn型MOSトランジスタと第2のn型MOSトランジスタとから構成されるインバータの該第1のn型MOSトランジスタのゲートと、該相補型MOSトランジスタのp型MOSトランジスタのゲートとのそれぞれに接続されると共に、インバータが該伝送線路と該第1のn型MOSトランジスタとの間に配置され、前記第1のn型MOSトランジスタのドレインと前記第2のn型MOSトランジスタのドレインとが接続されると共に、該接続点と前記相補型MOSトランジスタのnMOS型トランジスタのゲートとが接続されることを特徴とする半導体集積回路を提供する。

【0010】請求項1に係る半導体集積回路によれば、回路設計における電流の双方向性を有する相補型MOSトランジスタの伝送ゲートの使用制約が解除され、回路設計の自由度が高められる。

【請求項2】請求項2においては、相補型MOSトラン

ジスタよりなる伝送ゲートのホットキャリア効果によるデバイス特性の劣化を抑止するホットキャリア劣化抑止方法において、前記相補型MOSトランジスタのn型MOSトランジスタ又はp型MOSトランジスタのゲートへの電圧信号の入力遷移時間を短くすることにより、ホットキャリアによるデバイス特性の劣化を抑止することを特徴とするホットキャリア劣化抑止方法を提供する。

【0011】請求項2に係るホットキャリア劣化抑止方法によれば、ホットキャリア効果によるデバイス特性の劣化を抑止することによって、半導体集積回路装置の信頼性の向上及び耐久性の向上を実現することができる。また、ホットキャリア効果によるデバイス特性の劣化に対して耐性度の高い回路設計を行うことが可能となり、このホットキャリア劣化抑止方法をトランスファゲートを使用する回路（セレクトラ、フリップフロップ、XORゲートなど）に適用することによって、高速化要求に応じた半導体集積回路装置を製造することができる。

【0012】請求項3において、相補型MOSトランジスタよりなる伝送ゲートのホットキャリア効果によるデバイス特性の劣化を抑止するホットキャリア劣化抑止方法において、前記相補型MOSトランジスタのp型MOSトランジスタのゲートに該相補型MOSトランジスタのn型MOSトランジスタのゲートよりも先に電圧信号を与えることにより、ホットキャリアによるデバイス特性の劣化を抑止することを特徴とするホットキャリア劣化抑止方法を提供する。

【0013】請求項3に係るホットキャリア劣化抑止方法によれば、請求項2に係るホットキャリア劣化抑止方法と同様な作用効果を得ることができる。

【請求項4】請求項4においては、相補型MOSトランジスタよりなる伝送ゲートのホットキャリア効果によるデバイス特性の劣化を抑止するホットキャリア劣化抑止方法において、前記相補型MOSトランジスタのp型MOSトランジスタに該相補型MOSトランジスタのn型MOSトランジスタよりも多く電流を流すことにより、ホットキャリアによるデバイス特性の劣化を抑止することを特徴とするホットキャリア劣化抑止方法を提供する。

【0014】請求項4に係るホットキャリア劣化抑止方法によれば、請求項2に係るホットキャリア劣化抑止方法と同様な作用効果を得ることができる。

【請求項5】請求項5においては、相補型MOSトランジスタよりなる伝送ゲートのホットキャリア効果によるデバイス特性の劣化を抑止するホットキャリア劣化抑止方法において、前記相補型MOSトランジスタのp型MOSトランジスタのゲート長を、前記相補型MOSトランジスタのn型MOSトランジスタのゲート長よりも短くすることにより、又は前記p型MOSトランジスタのゲート幅を、前記相補型MOSトランジスタのn型MOSトランジスタのゲート幅よりも長くすることによりホ

ットキャリアによるデバイス特性の劣化を抑止することを特徴とするホットキャリア劣化抑止方法を提供する。

【0015】請求項5に係るホットキャリア劣化抑止方法によれば、請求項2に係るホットキャリア劣化抑止方法と同様な作用効果を得ることができる。

【請求項6】請求項6においては、前記相補型MOSトランジスタのp型MOSトランジスタ及びn型MOSトランジスタの各々のゲートへの制御電圧信号を発生させる信号源が同じである場合において、前記信号源の電圧信号を負論理とし、該信号源から前記n型MOSトランジスタのゲートへの伝送線上にインバータを配置することによってホットキャリアによるデバイス特性の劣化を抑止することを特徴とする請求項2、請求項3、請求項4又は請求項5に記載のホットキャリア劣化抑止方法を提供する。

【0016】請求項6に係るホットキャリア劣化抑止方法によれば、請求項2に係るホットキャリア劣化抑止方法と同様な作用効果を得ることができる。

【請求項7】請求項7においては、前記相補型MOSトランジスタのp型MOSトランジスタ及びn型MOSトランジスタの各々のゲートへの電圧信号を発生させる信号源が異なる場合において、前記信号源の電圧信号を正論理とし、該信号源から前記n型MOSトランジスタのゲートへの伝送線上に遅延素子又は遅延回路を配置することによってホットキャリアによるデバイス特性の劣化を抑止することを特徴とする請求項2、請求項3、請求項4又は請求項5に記載のホットキャリア劣化抑止方法を提供する。

【0017】請求項7に係るホットキャリア劣化抑止方法によれば、請求項2に係るホットキャリア劣化抑止方法と同様な作用効果を得ることができる。

【0018】

【発明の実施の形態】図1に、本発明の第1の実施例を示す。図1(A)には、負論理信号で相補型MOSFETの伝送ゲートに電圧信号を与える回路が示されている。まず、回路の接続関係を説明する。負論理電圧信号を発生させる信号源1がRC伝送線路を介してp型MOSFET2のゲートに接続される。また同じ信号源1が同じRC伝送線路とインバータ4を介してn型MOSFET3のゲートに接続される。

【0019】次に回路の機能を説明する。信号源1によって発生した負論理の電圧信号がRC伝送線路を通過してp型MOSFET2とn型MOSFET3とに供給される。この負論理の電圧信号は配線抵抗や容量によるRC遅延によって鈍りが生じ、入力時の理想的な信号とは程遠いものとなっている。この鈍りが生じた負論理の電圧信号は、信号源とn型MOSFET3との間に配置されたインバータ4のために、インバータ4の遅延(Tdelay)だけ、n型MOSFET3よりもp型MOSFET2に速く到達し、さきに導通状態となる。この状態

は、図1のグラフ(B)の $\alpha$ 点に相当する。その後、インバータ4の遅延(Tdelay)だけ遅れて電圧信号がn型MOSFET3に到達し、n型MOSFET3が導通状態となる。この状態は、図1のグラフ(B)の $\beta$ 点に相当する。

【0020】この結果、n型MOSFET3に流れるドレイン電流の量が抑えられて、ホットキャリア効果によるデバイス特性の劣化を抑止することができる。これは、既述した第2の条件を満たす。また、n型MOSFET3のゲートへの入力の前に配置されたインバータ4によって、n型MOSFET3のゲートへ入力する電圧信号の鈍りを除去しその電圧信号を急峻とすることにより、ゲートへの信号入力遷移時間を短くすることができる。この現象は、図1のグラフ(B)において、pMOS伝送ゲート制御信号の傾きとnMOS伝送ゲート制御信号の傾きが異なっていることに相当する。即ち、nMOS伝送ゲート制御信号の傾きのほうが、pMOS伝送ゲート制御信号の傾きよりも鋭くなっている。このように、インバータを用いてゲートへ入力する電圧信号を急峻とすることにより、ホットキャリア効果によるトランジスタ特性の劣化を抑止することができる。これは、既述した第1の条件を満たす。

【0021】図2に、本発明の第2の実施例を示す。図2(A)には、2系統の制御信号(正論理信号と負論理信号)で相補型MOSFETの伝送ゲートに電圧信号を与える回路が示されている。まず、回路の接続関係を説明する。負論理電圧信号を発生させる信号源1aがRC伝送線路を介してp型MOSFET2と接続される。また負論理電圧信号を発生させる信号源1bがRC伝送線路と遅延要素5を介してn型MOSFET3のゲートに接続される。この遅延要素には、遅延素子又は遅延回路などが含まれる。

【0022】次に回路の機能を説明する。信号源1aによって発生した負論理の電圧信号がRC伝送線路を介してp型MOSFET2に供給され、p型MOSFET2が導通状態となる。この状態は、図2のグラフ(B)の $\alpha$ 点に相当する。また、信号源1bによって発生した正論理の電圧信号はやはりRC伝送線路を通してn型MOSFET3のゲートに供給されるが、遅延要素5によって遅延要素5の遅延(Tdelay)だけp型MOSFET2への電圧信号よりも遅れてn型MOSFET3のゲートに到達する。この状態は、図2のグラフ(B)の $\beta$ 点に相当する。

【0023】この結果、n型MOSFET3に流れるドレイン電流の量が抑えられて、ホットキャリア効果によるトランジスタ特性の劣化を抑止することができる。これは、既述した第2の条件を満たす。なお、図2に示す実施例においては、遅延要素のみによってn型MOSFET3への電圧信号の到達を遅らせている。このため、ゲートへの信号入力遷移時間を短くするという条件を満

たすものではない。これは、図2のグラフ(B)のpMOS伝送ゲート制御信号の傾きとnMOS伝送ゲート制御信号の傾きが同じであることからわかる。従って、第1の条件であるゲートへの信号入力遷移時間を短くするという条件を満たそうとするならば、p型MOSFET2又はn型MOSFET3のゲートの入力前にバッファを配置することによってゲートへ入力する電圧信号の鈍りを除去しその電圧信号を急峻とすることができる。このような処置によって、ゲートへの信号入力遷移時間を短くすることができる。遅延要素5の遅延だけn型MOSFET3のゲートに到達する電圧信号を遅らせる処置だけの場合よりも、図1に示した実施例と同様に更に効果的にホットキャリア効果によるデバイス特性の劣化を抑止することができる。

【0024】図3に、本発明の第3の実施例を示す。図3には、p型MOSFET2とn型MOSFET3が示されている。図3に示す実施例は、p型MOSFET2の駆動能力を高めてホットキャリア効果によるデバイス特性の劣化を抑止を図ろうとするものである。即ち、p型MOSFET2の駆動能力を高めてp型MOSFET2に流れるドレイン電流の量を増加させることにより、ホットキャリア効果の影響を受けやすいn型MOSFET3のホットキャリア効果によるデバイス特性の劣化を抑止するものである。なお、n型MOSFETがp型MOSFETよりもホットキャリア効果を受け易い理由は前にも述べたが、正孔に対する酸化膜の電位障壁が電子に対するそれよりも高いためである。

【0025】前述した第1の実施例及び第2の実施例においては伝送ゲート上における処置によってホットキャリア効果によるトランジスタ特性の劣化を抑止しようとしていたのに対し、この第3の実施例においては、MOSFETそのものに処置を施して、ホットキャリア効果によるトランジスタ特性の劣化を抑止しようとするものである。

【0026】具体的には、p型MOSFETのゲート長をn型MOSFETのゲート長よりも短くする。又は、p型MOSFETのゲート幅をn型MOSFETのゲート幅よりも長くする。これらの方法は、通常、n型MOSFETよりも駆動能力が劣るp型MOSFETの駆動能力を高め、p型MOSFETとn型MOSFETの駆動能力を等しくして回路の性能を向上させるために用いられるものである。しかし、この第3の実施例では、この通常の方法を逆にとり、p型MOSFETの駆動能力をn型MOSFETの駆動能力よりも更に高めて、ホットキャリア効果によるその特性の劣化を抑止し、このようなMOSFETを使用した回路の寿命を延ばそうとするものである。

【0027】なお、このようにp型MOSFETとn型MOSFETの駆動能力を調整する方法は、p型MOSFETのしきい値電圧を調整したり、ゲート酸化膜厚の

薄膜化などによっても実現できる。図4に、本発明の第4の実施例を示す。図4(A)には、正論理信号で相補型MOSFETの伝送ゲートに電圧信号を与える回路が示されている。

【0028】まず、回路の接続関係を説明する。大まかに述べると、正論理電圧信号を発生させる信号源1がRC伝送線を介してp型MOSFET2と接続される。また同じ信号源1が同じRC伝送線を通りインバータ4と2つのn型MOSトランジスタで構成されるインバータ7とを介してn型MOSFET3のゲートに接続される。

【0029】詳述すると、MOSインバータ7は、n型MOSFET5とn型MOSFET6から構成され、n型MOSFET5のゲートがインバータ4の出力に接続される。また、n型MOSFET5のドレインとn型MOSFET6のドレインとが接続され、その接続された部分がn型MOSFET3のゲートに接続される。そして、n型MOSFET5のソースが電源電圧VDDと接続され、n型MOSFET6のソースがグランドGNDに接続される。MOSインバータのn型MOSFET6のゲートは、前記した信号源1がRC伝送線を介してp型MOSFET2に接続される伝送線の途中において分岐した伝送線に接続される。

【0030】次に回路の機能を説明する。信号源1によって発生した正論理の電圧信号がRC伝送線を通してp型MOSFET2に供給され、このp型MOSFET2が導通状態となる。この状態は、図4のグラフ(B)の $\alpha$ 点に相当する。その後、インバータ4の遅延とMOSインバータ7との双方の遅延(Tdelay)だけ遅れて電圧信号がn型MOSFET3に到達し、n型MOSFET3が導通状態となる。この状態は、図4のグラフ(B)の $\beta$ 点に相当する。

【0031】また、n型MOSFET3のゲートへの入力の前に置かれたインバータ7によって、n型MOSFET3のゲートへ入力する電圧信号の鈍りを除去しその電圧信号を急峻とすることにより、ゲートへの信号入力遷移時間を短くすることができる。この現象は、第4図のグラフ(B)において、pMOS伝送ゲート制御信号の傾きとnMOS伝送ゲート制御信号の傾きとが異なっていることに相当する。

【0032】これらの機能は、第1の実施例において述べたことと同じである。また、その効果も第1の実施例と同様である。しかし、この第4の実施例においての特徴は、MOSインバータ7にある。即ち、MOSインバータ7を構成するn型MOSFET5がp型MOSFETであれば、n型MOSFET3のゲートに供給される電圧信号は電源電圧VDDとグランドとの間をフルスイングすることになるが、n型MOSFET5がn型MOSFETであるためにn型MOSFET5のしきい値電圧( $V_{th}$ )だけ下がるので、n型MOSFET3のゲート

に供給される電圧信号は電源電圧VDDよりも低い電圧即ち( $VDD - V_{th}$ )とグランドとの間をスイングすることになる。これにより、n型MOSFET3のゲートに供給される電圧信号が低められることになり、n型MOSFET3内で発生する電界の高騰が抑えられて、ホットキャリア効果によるデバイス特性の劣化を効果的に抑止することができる。

【0033】図5に、従来例の回路の回路シュミレーションの結果(電圧波形)と、本発明の第4の実施例の回路の回路シュミレーションの結果(電圧波形)とを示す。図5の(A)は、従来の相補型MOSトランジスタの伝送ゲートを有する回路とその回路シュミレーションの結果を示し、図5の(B)は、第4の実施例の相補型MOSトランジスタの伝送ゲートを有する回路とその回路シュミレーションの結果を示す。

【0034】図5の(A-1)に示す従来例においては、電圧信号がn型MOSFET3のゲートにはインバータ4の存在によってp型MOSFET2よりも先に供給されることになる。一方、第5図の(B-1)に示す本発明の実施例においては、電圧信号がn型MOSFET3のゲートにはインバータ4とMOSインバータ7の存在によってp型MOSFET2よりも遅れて供給されることになると共に、n型MOSFET5のしきい値電圧( $V_{th}$ )だけ下がった電圧( $VDD - V_{th}$ )がn型MOSFET3のゲートに供給されることになる。これにより、n型MOSFET3に流れるドレイン電流の量がp型MOSFET2に流れる電流よりも減じられる。

【0035】また、図5(A-3)は伝送ゲートへの入力電圧信号及びドレイン電極における電圧信号、図5(A-2)は従来例回路の回路シュミレーションの結果、そして図5(B-2)は実施例回路の回路シュミレーションの結果を示す。詳述すると、図5(A-3)は、信号源1からp型MOSFET2とn型MOSFET3各々のゲートへ送られる電圧信号(④伝送ゲート制御信号)とp型MOSFET2とn型MOSFET3のドレイン側における電圧信号(③データ波形信号)の時間的経緯を表す。なお、電流の双方向性を有する相補型MOSトランジスタにおいては、電流が双方向に流れるため、各電極のドレイン/ソースという名称は交互に変化することになるが、ここでは便宜上図5中上部に記載された電極をドレインとし、下部に記載された電極をソースとする。図5(A-2)及び図5(B-2)は、従来例と実施例各々の、n型MOSFET3のゲートに送られた電圧信号(①nチャネルMOSFETの制御信号)、p型MOSFET3のゲートに送られた電圧信号(②pチャネルMOSFETの制御信号)及びp型MOSFET2とn型MOSFET3のソース側における電圧信号(③データ波形信号)の時間的経緯を表す。図5(A-2)及び図5(B-2)は、分かり易くするために回路シュミレーション結果を簡略化して図に表したも



のである。回路シュミレーション結果そのものは、図6に示されている。図6(A)が図5(A-2)に対応し、図6(B)が図5(B-2)に対応する。

【0036】ここで、従来例の回路シュミレーション結果(A-2)と実施例の回路シュミレーション結果(B-2)を比較してみる。①nチャネルMOSFETのゲートにおける電圧信号は、従来例(A-2)に比べて実施例(B-2)の方が低くなっている。これは、実施例の回路構成においては、n型MOSFET3に流れる電流が少ないことを示している。従って、実施例の回路構成は、従来例の回路構成よりも効果的にホットキャリアによるデバイス特性の劣化を抑止できるということができる。

【0037】図6に、本発明の第4の実施例の回路の回路シュミレーションの結果(電圧波形)と従来例の回路の回路シュミレーションの結果(電圧波形)を示す。これは、図5に本発明の説明のために便宜的に示した第4の実施例の回路と従来例の回路との回路シュミレーションの結果の基礎となる実際の回路シュミレーション結果を示したものである。

【0038】図7において、実線に表されるドレイン電流は従来例(図5(A))においてのn型MOSFET3に流れるドレイン電流を示し、破線に表されるドレイン電流は実施例(図5(B))においてのn型MOSFET3に流れるドレイン電流を示す。実施例の回路においてのn型MOSFET3に流れるドレイン電流が従来例の回路においてのn型MOSFET3に流れるドレイン電流よりも少ないことは図7上明らかである。なお、図7では、500ps付近においては、図5において示されるコンデンサ8が充電される方向に電流が流れ、4.6ns付近においてはコンデンサ8が放電される方向に電流が流れるため、500ps付近では正方向にドレイン電流が流れ、4.6ns付近では負方向にドレイン電流が流れる。

【0039】

【発明の効果】以上説明した様に、本発明によれば、電流の双方向性を有する相補型MOSトランジスタの伝送ゲートを自由に使用することができ、回路設計の自由度

が高められ、新たな半導体集積回路装置の開発に大きく貢献する。また、ホットキャリア効果によるデバイス特性の劣化を効果的に抑止することにより、半導体集積回路装置の信頼性の向上及び耐久性の向上に貢献する。

【0040】更に、このホットキャリア効果によるデバイス特性の劣化抑止方法をトランスファゲートなどを使用する種々な回路(セレクト、フリップフロップ、XORゲート)に適用することにより、ホットキャリア効果によるデバイス特性劣化に対して耐性度の高い回路設計が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す図である。

【図2】本発明の第2の実施例を示す図である。

【図3】本発明の第3の実施例を示す図である。

【図4】本発明の第4の実施例を示す図である。

【図5】本発明の第4の実施例の回路とその回路シュミレーションの結果(電圧波形)及び従来例の回路とその回路シュミレーションの結果(電圧波形)を示す図である。

【図6】実際の本発明の第4の実施例の回路の回路シュミレーションの結果(電圧波形)と従来例の回路の回路シュミレーションの結果(電圧波形)を示す図である。

【図7】本発明の第4の実施例の回路の回路シュミレーションの結果(ドレイン電流)と従来例の回路の回路シュミレーションの結果(ドレイン電流)を示す図である。

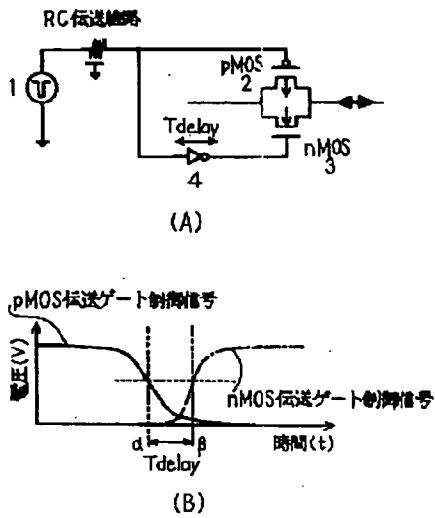
【図8】ホットキャリア効果によるドレイン電流減少の原理を示す図である。

【符号の説明】

- |      |             |
|------|-------------|
| 1    | 信号源         |
| 2    | p型MOSFET    |
| 3    | n型MOSFET    |
| 4    | インバータ       |
| 5, 6 | n型MOSTランジスタ |
| 7    | nMOSインバータ   |
| 8    | コンデンサ       |

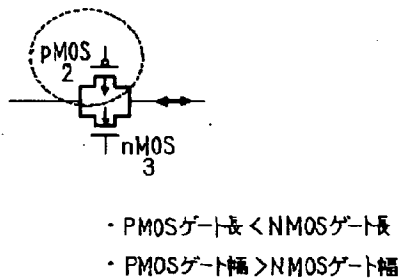
【図 1】

本発明の第 1 の実施例



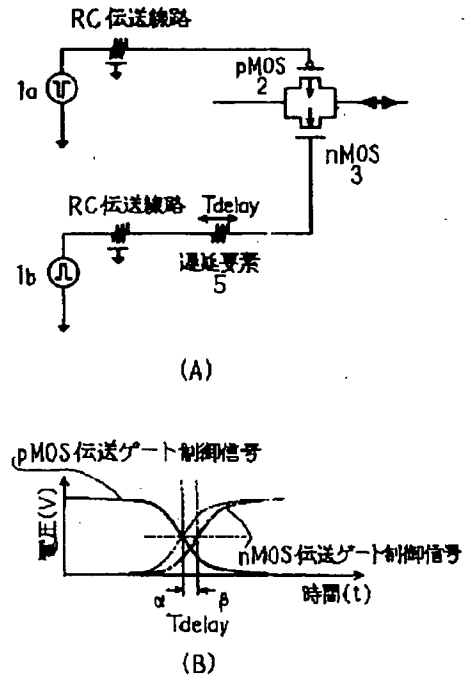
【図 3】

本発明の第 3 の実施例



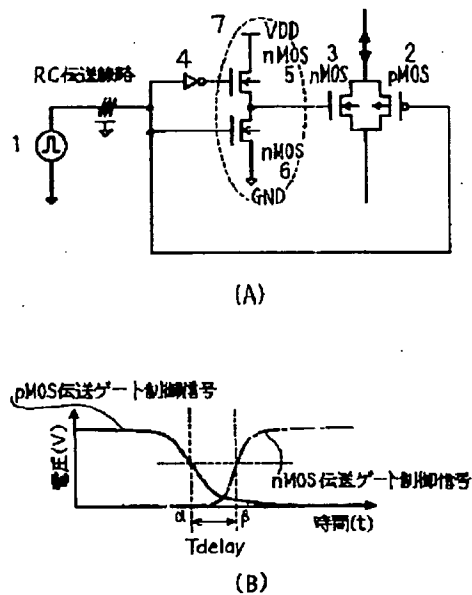
【図 2】

本発明の第 2 の実施例

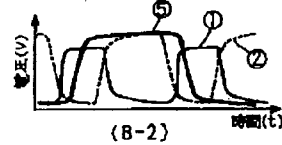


【図 4】

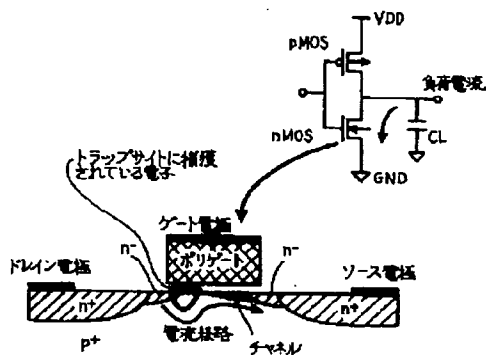
本発明の第 4 の実施例



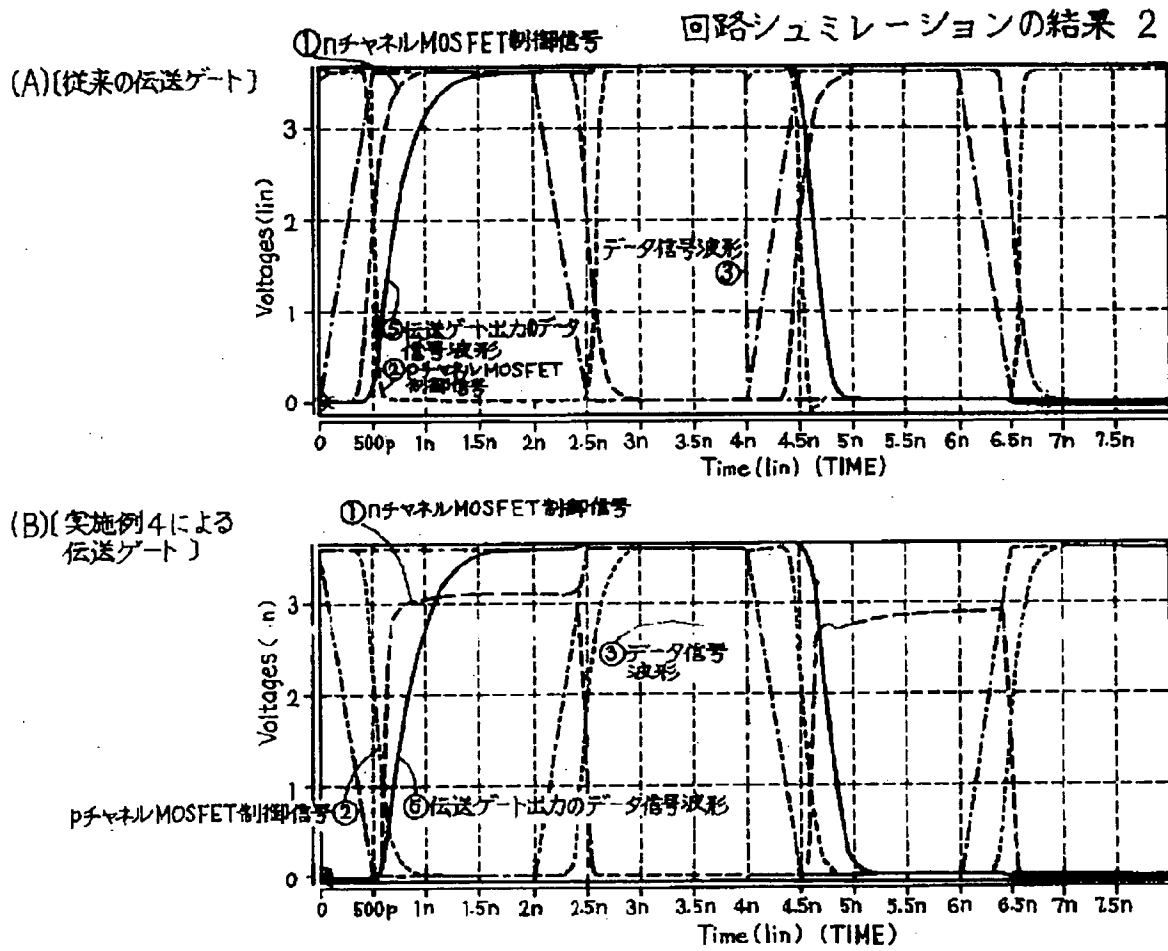
### 回路シミュレーションの結果1



ホットキャリア効果によるドレイン電流減少

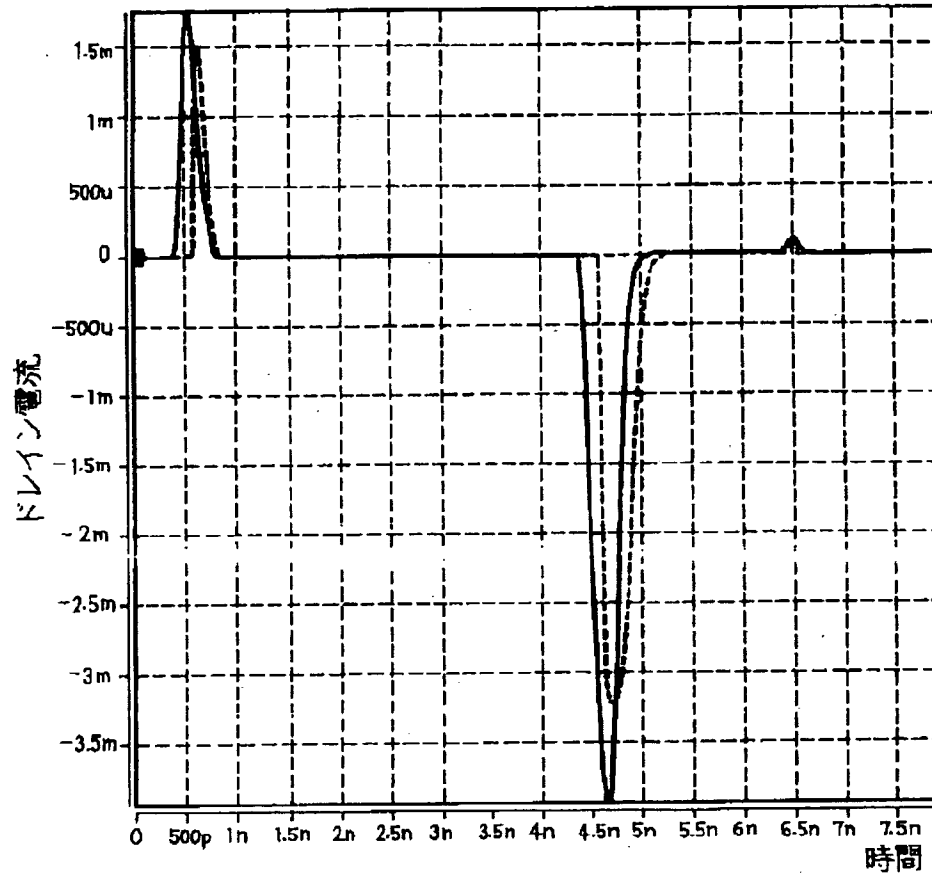


【図6】



【図7】

## 回路シュミレーションの結果 3



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 0 1 L 27/092

H 0 3 K 17/687

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**